

CLIPPEDIMAGE= JP363269539A

PAT-NO: JP363269539A

DOCUMENT-IDENTIFIER: JP 63269539 A

TITLE: BONDING WIRE FOR SEMICONDUCTOR INTEGRATED CIRCUIT

PUBN-DATE: November 7, 1988

INVENTOR-INFORMATION:

NAME

FUTAMI, YOSHINORI

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP62103696

APPL-DATE: April 27, 1987

INT-CL (IPC): H01L021/60

US-CL-CURRENT: 438/FOR.369,29/827

ABSTRACT:

PURPOSE: To realize the miniaturization and to reduce cost by a method wherein an insulating film is formed on the surface of a wire which electrically connect a semiconductor integrated circuit having a bonding pad to a lead frame with a view to preventing a defect due to a short-circuit of the bonding wire and in order to relax a limiting condition for designing the semiconductor integrated circuit and the lead frame.

CONSTITUTION: An insulating film is formed at an external circumference of a bonding wire 3 by using a surface oxidation method, an evaporation method, an immersion coating method or the like. As a material for the insulating film, a

metal oxide film or a plastic material can be used. An insulating film 3a is bonded by using a method that it does not come into contact with an IC chip or a junction face of a lead frame during a bonding operation.

In addition, a junction part of the insulating film 3a is exfoliated, by heat, ultrasonic waves or the like during the bonding operation. Because the insulating film 3a is formed on the bonding wire 3 in this manner, no electrical short-circuit is caused due to the insulating film 3a even when the wire 3 comes into contact with an end 1a of the IC chip; accordingly, it is possible to narrow a gap for bonding use and the chip can be miniaturized. Furthermore, a designing condition to decide a relation between the lead frame and a pad for the IC is relaxed; an extent to use the lead frame commonly with the IC chip of different sizes where a pad is arranged is expanded and it is possible to reduce cost.

COPYRIGHT: (C)1988, JPO&Japio

⑫ 公開特許公報(A)

昭63-269539

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)11月7日

H 01 L 21/60

6918-5F

審査請求 未請求 発明の数 1 (全2頁)

⑭ 発明の名称 半導体集積回路用ボンディングワイヤー

⑯ 特 願 昭62-103696

⑰ 出 願 昭62(1987)4月27日

⑱ 発 明 者 二 見 美 紀 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

半導体集積回路用ボンディングワイヤー

2. 特許請求の範囲

ボンディングパッドを有する半導体集積回路とリードフレームを電気的に導通させるワイヤーの表面に絶縁被膜を設けたことを特徴とする半導体集積回路用ボンディングワイヤー。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体集積回路のボンディングワイヤーの構造に関する。

(発明の概要)

本発明はボンディングワイヤーの表面に絶縁被膜を設け、ボンディングワイヤーのショートによる不良を防止し、半導体集積回路及び、リードフレームの設計制約条件を緩和し、小型化及びコス

トダウンを実現したものである。

(従来の技術)

従来のボンディングワイヤーは、金や銅やアルミ等の導電体で形成されていた。

(発明が解決しようとする問題点)

しかし、前述の従来技術ではボンディングワイヤー同士が接触した場合、電気的にショート状態となるため、隣接するボンディングワイヤーの距離を大きくしたり、ボンディングワイヤーのたるみを少なくしなければならない等の問題を有する。

そこで、本発明はこのような問題点を解決するもので、その目的とするところは品質の高い、小型で低コストの半導体集積回路組立品を提供するところにある。

(問題点を解決するための手段)

本発明の、半導体集積回路用ボンディングワイヤーは、表面に絶縁被膜を有することを特徴とする。

(実施例)

第1図は本発明の一実施例の半導体組立図の断

面図である。1はICチップ、2はリードフレーム、3はボンディングワイヤー、3aは絶縁膜、4はパッケージである。第2図は本発明の一実施例の平面図である。第3図は本発明のボンディングワイヤーの断面図である。ここで半導体集積回路をICと呼ぶ。

第1図、第3図に示す如く、ボンディングワイヤー3の外周に、絶縁被膜を表面酸化又は、蒸着コーティング又は含浸コーティング等の方法により設ける。絶縁膜の材質は、金属酸化膜又はプラスチック材料を用いることができる。第1図に示す如く、絶縁膜3aはボンディング時にICチップ又はリードフレームの接合面とは接しない方法でボンディングされる。又は、ボンディング時に絶縁膜3aが熱又は超音波等により接合部分を剥離してある。

ボンディングワイヤー3に絶縁膜3aを設けることにより、第1図において、ボンディングワイヤー3とICチップの端1aとが接しても、絶縁膜3aにより電気的にショートしないためICチ

ップとリードフレーム間距離Lを小さくできる。また、ボンディングワイヤー3をICチップ1aの近傍へ寄せることにより、パッケージ4の厚さを薄くできる。また、第2図に於いて、ボンディングワイヤー3が隣同士で接触してもショートにならないため、ボンディング間隔を狭くでき、チップの小型化が可能となる。更に、ボンディング時のショートを無視できるため、ボンディング条件を緩和でき、リードフレームのICの패드との関係を規定する設計条件が緩和され、패드配置や、チップサイズの異なるICに対しリードフレームの共用範囲が広がり、コストダウンが計れる。

〔発明の効果〕

以上述べたように、本発明によれば、ボンディングワイヤーの表面を絶縁膜で被覆することにより、半導体集積回路組立の品質を向上し、小型で低コスト化が達成できるという効果を有する。

4. 図面の簡単な説明

第1図は本発明の半導体集積回路組立図の一実施例を示す主要断面図。

第2図は本発明の半導体集積回路組立図の一実施例を示す主要平面図。

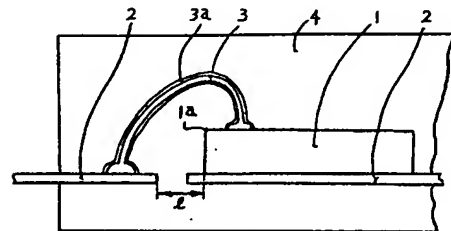
第3図は本発明のボンディングワイヤーの一実施例を示す断面図。

- 1 …… 半導体集積回路 (IC)
- 2 …… リードフレーム
- 3 …… ボンディングワイヤー
- 3a …… 絶縁膜

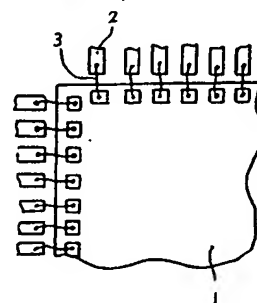
以 上

出願人 セイコーエプソン株式会社

代理人 弁理士 最 上 務 他 1 名



第 1 図



第 2 図



第 3 図